



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020053542 (43) Publication Date. 20020705

(21) Application No.1020000083202 (22) Application Date. 20001227

(51) IPC Code:

H01L 21/283

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

LEE, SEOK GYU

(30) Priority:

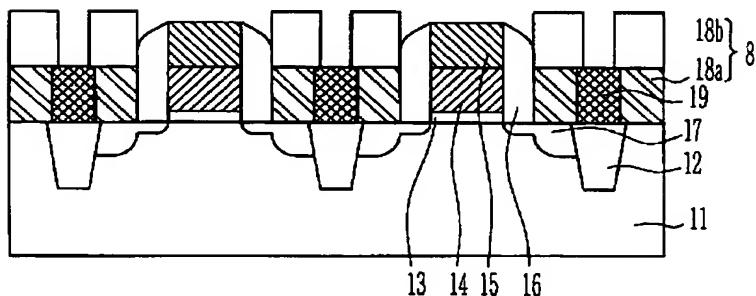
(54) Title of Invention

METHOD FOR MANUFACTURING CONTACT PLUG OF SEMICONDUCTOR DEVICE

Representative drawing

(57) Abstract:

PURPOSE: A method for manufacturing a contact plug of a semiconductor device is provided to enhance the reliability of a process by preventing a short between the SEG(Selective Epitaxial Growth) plugs while forming the SEG plug to a target height.



CONSTITUTION: A semiconductor substrate (11) exposing a junction is prepared and the first SEG thin film(18a) is formed on the junction by an SEG method. After depositing the first insulation film(19) on the surface, between the first SEG thin films is insulated without a void by perfectly removing the first insulation film excluding the first insulation film buried between the first SEG thin films and exposing the upper part. The SEG epitaxial thin film of the target height is obtained by repeating the previous process under a state insulating between the contact plugs. After forming and flattening the second insulation film, the upper part of the SEG thin film is exposed by etching a fixed area.

© KIPO 2003

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ H01L 21/283 (11) 공개번호 특2002-0053542
(43) 공개일자 2002년07월05일

(21) 출원번호 10-2000-0083202
(22) 출원일자 2000년 12월 27일

(71) 출원인 주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이석규

경기도 안양시 동안구 평촌동 899-7 향촌아파트 102동 1303호

新竹教育大樓：啟用

(54) 반도체 소자의 콜택 플러그 형성 방법

80

본 발명은 반도체 소자의 콘택 플러그 형성 방법에 관한 것으로, 콘택 플러그를 형성하기 위하여 반도체 기판의 접합부를 선택적 에피 성장(Selective epitaxial growth: SEG)법으로 성장시켜 SEG 플러그를 형성하는 과정에서, 일차적으로 측면 성장(Lateral growth)의 정도가 허용 가능한 두께까지 1차 선택적 에피 박막을 성장시킨 후 에피 박막 사이에 절연률질을 매립하여 절연시킨 후 2차 선택적 에피 박막을 성장시킴으로써 목표 높이의 SEG 플러그를 형성하면서 SEG 플러그간의 단락이 발생하는 것을 방지하여 공정의 신뢰성을 확보시킬 수 있는 반도체 소자의 콘택 플러그 형성 방법이 개시된다.

四

52d

색인어

밸브 플러그, 선택적 에피성장, lateral growth, 측면 성장

명세서

도면의 간단한 설명

도 1a 및 도 1b는 종래의 반도체 소자의 콘택 플러그 형성 방법을 설명하기 위하여 도시한 소자의 단면도.

도 2a 및 도 2d는 본 발명에 따른 반도체 소자의 콘택 풀러그 형성 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도.

제작자: 주연부에 대한 이해와 주제의 이해

1, 11 : 반도체 기판	2, 12 : 필드 산화막
3, 13 : 게이트 산화막	4, 14 : 게이트 전극
5, 15 : 하드 마스크	6, 16 : 게이트 스페이서
7, 17 : 소오스/드레인	8, 18 : SEG 플러그
18a : 제 1 선택적 에피 박막	18b : 제 2 선택적 에피 박막
19 : 제 1 절연막	20 : 제 2 절연막
21 : 금속 물질	

발명의 삼세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 콘택 플러그 형성 방법에 관한 것으로, 특히 반도체 기판의 접합부를 선택적 에피 성장(Selective epitaxial growth; SEG)법으로 성장시켜 형성한 SEG 플러그를 콘택 플러그로 사용하는 반도체 소자의 콘택 플러그 형성 방법에 관한 것이다.

최근 들어, 반도체 소자의 패턴이 미세화됨에 따라 콘택의 종횡비(Aspect ratio)가 증가하기 때문에 반도체 기판 상에 일차적으로 콘택 플러그를 형성한 후 콘택 플러그 상에 금속 콘택을 이차적으로 형성하는 것이 일반적이 되었다. 이러한 일차적 콘택플러그 형성 시에도 디자인 률이 $0.1\mu\text{m}$ 이상인 소자의 경우에는, 충간 절연막 형성 후 콘택 마스크 노광 공정과 식각 공정을 실시하여 콘택홀을 형성하고, 폴리 실리콘이나 전도성 물질을 매립하여 콘택 플러그를 형성할 수 있다. 그러나, 디자인 률이 $0.1\mu\text{m}$ 이하인 소자의 경우에는 마스크 노광 공정 및 식각 공정에 필요한 공정 마진이 부족하여 공정상의 문제가 발생한다.

이를 극복하기 위한 방법으로서, 반도체 기판의 접합부를 선택적 에피 성장법(Selective epitaxial growth)으로 성장시켜 콘택 플러그를 형성하는 방법이 있다.

이하, 첨부된 도면을 참조하여 종래의 반도체 소자의 콘택 플러그 형성 방법을 설명하기로 한다.

도 1a를 참조하면, 필드 산화막(2)이 형성된 반도체 기판(1) 상에 게이트 산화막(3), 게이트 전극(4), 질화막 하드 마스크(5), 게이트 스페이서(6) 및 LDD 구조의 소오스/드레인(7)으로 이루어진 트랜지스터를 형성한다. 이후, 실리콘이 노출된 소오스/드레인(7) 영역에만 선택적 에피 성장법으로 단결정 실리콘을 성장시켜 SEG 플러그(8)를 형성한다.

도 1b를 참조하면, 선택적 에피 성장법으로 소오스/드레인(7) 영역에만 SEG 플러그(8)를 형성하는 과정에서 측면 성장(Lateral growth)이 동시에 발생하기 때문에, SEG 플러그(8)가 일정 높이로 성장하다 보면 근접해 있는 서로 다른 SEG 플러그가 서로 접촉하는 경우가 발생한다.

상술한 바와 같이, 일반적으로 미세 구조의 소자를 형성할 경우 콘택 면적이 매우 작고, 자기 정렬 콘택 식각의 필요성이 크기 때문에, 게이트 전극 상부나 비트 라인 상에 매우 두꺼운 실리콘 질화막 하드 마스크(Hard mask)를 형성하게 됨으로, 이에 따라 요구되는 SEG 플러그의 높이는 200nm 이상으로 높아진다. 그러므로, 콘택마스크 없이 선택적 에피 성장을 통해 200nm 이상의 플러그를 형성하게 되면, 도 1b에서 도시한 바와 같이, SEG 플러그(8)가 소오스/드레인(7) 영역으로부터 필드 산화막(2) 쪽으로 성장하는 측면 성장(Lateral growth)으로 인하여 양쪽 SEG 플러그가 단락되어 불량이 발생하기 쉽다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위하여 일차적으로 측면 성장(Lateral growth)의 정도가 허용 가능한 두께까지 1차 선택적 에피 박막을 성장시킨 후 에피 박막 사이에 절연물질을 매립하여 절연시킨 후 2차 선택적 에피 박막을 성장시킴으로써 목표 높이의 SEG 플러그를 형성하면서 SEG 플러그간의 단락이 발생하는 것을 방지하여 공정의 신뢰성을 향상시킬 수 있는 반도체 소자의 콘택 플러그 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 콘택 플러그 형성 방법은 소정의 공정을 실시하여 접합부가 노출된 반도체 기판이 제공되는 제 1 단계, 선택적 에피 성장법으로 접합부 상에 제 1 선택적 에피 박막을 형성하는 제 2 단계, 전체 상부에 제 1 절연막을 증착한 후 제 1 선택적 에피 박막 사이에 매립된 제 1 절연막을 제외한 나머지 영역의 제 1 절연막을 완전히 제거하고 상부를 노출시켜 제 1 선택적 에피 박막 사이를 보이드 없이 절연시키는 제 3 단계, 제 2 단계 및 제 3 단계를 반복 실시하여 콘택 플러그 사이가 절연된 상태로 목표 높이의 선택적 에피 박막을 형성하는 제 4 단계 및 전체 상부에 제 2 절연막을 형성하고 평탄화 한 후 소정 영역을 식각하여 선택적 에피 박막의 상부를 노출시키는 제 5 단계로 이루어진다.

제 1 선택적 에피 박막은 측면 성장에 의한 단락을 방지하기 위하여 소자의 패턴 밀도에 따라 성장 높이를 결정한다. 이때, 제 1 선택적 에피 박막은 $\text{Si}_2\text{H}_2\text{Cl}_2$ 또는 SiH_4 에 HCl 을 첨가하고 H_2 로 희석시킨 가스를 이용하여 700 내지 950°C의 온도에서 저압 화학 기상 증착법으로 형성하거나, Si_2H_6 및 Cl_2 를 H_2 로 희석시킨 가스를 이용하여 600 내지 750°C의 온도에서 초저압 화학 기상 증착법으로 성장시켜 형성한다. 제 1 절연막은 실리콘 산화막으로 형성한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다.

도 2a 및 도 2d는 본 발명에 따른 반도체 소자의 콘택 플러그 형성 방법을 설명하기 위하여 순차적으로 도시한 소자의 단면도이다.

도 2a를 참조하면, 필드 산화막(12)이 형성된 반도체 기판(11)상에 게이트 산화막(13), 게이트 전극(14), 게이트 전극(14)을 패터닝하기 위하여 형성한 하드 마스크(15), 게이트 전극 스페이서(16) 및

소オス/드레인(17)으로 이루어진 트랜지스터를 형성한다. 이후, 소オス/드레인(17) 상에 일정 높이까지 선택적 에피 박막을 성장시켜 제 1 선택적 에피 박막(18a)을 형성한다.

제 1 선택적 에피 박막(18a)은 $\text{Si}_2\text{H}_2\text{Cl}_2$ 또는 SiH_4 에 HCl 을 첨가하고 H_2 로 희석시킨 가스를 이용하여 700 내지 950°C의 온도에서 저압 화학 기상 증착법으로 형성하거나 Si_2H_6 및 Cl_2 를 H_2 로 희석시킨 가스를 이용하여 600 내지 750°C의 온도에서 초저압 화학 기상 증착법으로 성장시켜 형성한다. 이때, 제 1 선택적 에피 박막(18a)은 일정 높이 이상으로 성장을 진행시키게 되면 측면 성장이 발생하게 되고 이로 인해 플러그간 단락이 발생하게 되므로, 제 1 선택적 에피 박막(18a)의 성장 높이는 제 1 선택적 에피 박막(18a)간에 측면 성장에 의한 단락이 발생하지 않을 정도로 설정한다.

도 2b를 참조하면, 제 1 선택적 에피 박막(18a)간의 절연을 위하여 제 1 선택적 에피 박막(18a) 사이의 공간이 보이드 없이 충분히 매립될 수 있도록 전체 상부에 제 1 절연막(19)을 증착한다. 이후 건식 식각법으로 블랭킷 에치 백(Blanket etch-back)을 실시하거나, 불산 계열의 식각제를 사용한 습식 식각을 실시하거나 또는 블랭킷 에치 백과 습식 식각을 병행으로 실시하여 제 1 선택적 에피 박막(18a) 사이의 제 1 절연막(19)만을 잔류시키고, 나머지 영역의 제 1 절연막(19)은 완전히 제거한다. 이로써, 제 1 절연막(19)은 제 1 선택적 에피 박막(18a) 사이에만 잔류하며, 제 1 선택적 에피 박막(18a)의 상부 표면은 노출된다. 이때, 제 1 절연막(19)은 기타 영역의 막들(실리콘 질화막 및 콘택 플러그 실리콘)에 대해 선택적으로 제거가 가능하며 전기적 절연성을 갖는 물질을 사용한다. 실리콘 산화막(SiO_2)이 대표적인 물질이다.

도 2c를 참조하면, 목표 높이의 에피 박막을 형성하기 위하여 도 2a에서 실시한 저압 화학 기상 증착법이나 초저압 화학 기상 증착법으로 형성된 제 1 선택적 에피 박막(18a) 상에 제 2 선택적 에피 박막(18b)을 형성한다.

상기와 같은 2단계 공정으로 목표 두께를 달성할 수 없을 경우, 목표 두께의 에피 박막을 성장시키기 위해서는 도 2a에서 실시한 선택적 에피 성장과 도 2b에서 실시한 에피 박막간의 절연 공정을 반복 실시한다.

도 2d를 참조하면, 제 1 및 제 2 선택적 에피 박막(18a 및 18b)을 형성하여 목표 높이의 선택적 에피 박막(18)이 형성되면, 후속 공정에서 형성될 상부 요소와의 절연을 위하여 전체 상부에 제 2 절연막(20)을 형성한 후 평탄화 공정을 실시한다. 이후, 수직 배선을 위하여 하부 요소의 접합 영역인 선택적 에피 박막(18) 또는 게이트 전극(14)의 표면이 노출되는 소정의 콘택홀을 형성하고, 금속 물질(21)을 매립한다. 이때, 금속 물질(21)을 매립하기 전에 접촉 저항을 낮추기 위하여 오믹 콘택층을 형성하거나, 선택적 에피 박막(18)으로의 산소 확산을 방지하기 위하여 확산 방지막을 형성하기도 한다. 상기의 공정에서 선택적 에피 박막(18)을 콘택 플러그로 사용함으로써 종횡비가 낮아진 상태에서 금속 물질(21)을 매립하게 되므로 매립 특성을 향상시키게 된다.

상기의 공정으로, 본 발명에서는 일차적으로 측면 성장(Lateral growth)의 정도가 허용 가능한 두께까지 선택적 에피 박막을 성장시킨 후 절연막을 증착하고 에치 백(Etch-back)하여 필드 산화막 양쪽의 선택적 에피 박막 사이를 절연막으로 채워 단락을 방지한 뒤 2차 선택적 에피 박막을 성장시킴으로써 측면 성장으로 인한 성장의 높이 제한을 개선할 수 있다.

발명의 효과

상술한 바와 같이, 본 발명은 선택적 에피 박막 사이에 절연막을 매립하여 측면 성장에 의한 단락을 방지함으로써 초미세 구조의 패턴에서도 불량 없이 목표 높이의 에피 박막을 성장시킬 수 있어, 공정의 신뢰성을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1

소정의 공정을 실시하여 접합부가 노출된 반도체 기판이 제공되는 제 1 단계;

선택적 에피 성장법으로 상기 접합부 상에 제 1 선택적 에피 박막을 형성하는 제 2 단계;

전체 상부에 제 1 절연막을 증착한 후 상기 제 1 선택적 에피 박막 사이에 매립된 상기 제 1 절연막을 제외한 나머지 영역의 상기 제 1 절연막을 완전히 제거하고 상부를 노출시켜 상기 제 1 선택적 에피 박막 사이를 보이드 없이 절연시키는 제 3 단계;

상기 제 2 단계 및 제 3 단계를 반복 실시하여 각각의 막이 서로 절연된 상태에서 목표 높이의 선택적 에피 박막을 형성하는 제 4 단계;

전체 상부에 제 2 절연막을 형성한 후 평탄화 한 후 소정 영역을 식각하여 상기 선택적 에피 박막의 상부를 노출시키는 제 5 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 선택적 에피 박막은 측면 성장에 의한 단락을 방지하기 위하여 소자의 패턴 밀도에 따라 성장

높이를 결정하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 선택적 에피 박막은 $\text{Si}_2\text{H}_2\text{Cl}_2$ 또는 SiH_4 에 HCl 을 첨가하고 H_2 로 희석시킨 가스를 이용하여 700 내지 950°C의 온도에서 저압 화학 기상 증착법으로 형성하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 선택적 에피 박막은 Si_2H_6 및 Cl_2 를 H_2 로 희석시킨 가스를 이용하여 600 내지 750°C의 온도에서 초저압 화학 기상 증착법으로 성장시켜 형성하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

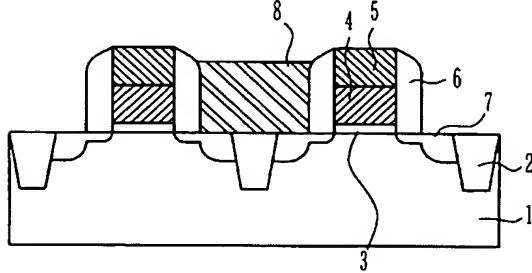
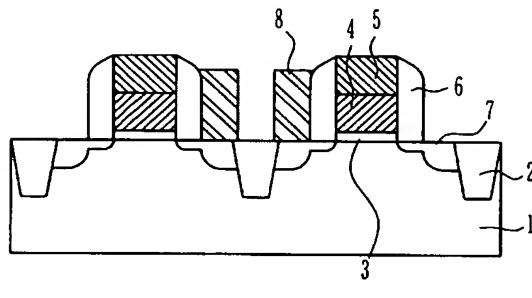
청구항 5

제 1 항에 있어서,

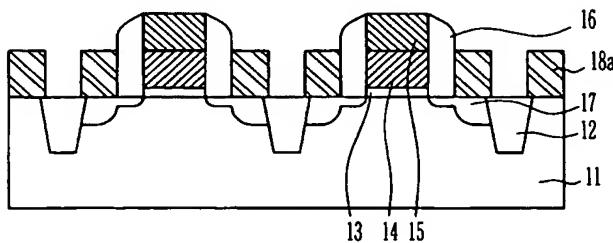
상기 제 1 절연막은 실리콘 질화막 또는 콘택 플러그 실리콘과 같은 기타 영역의 막들에 대해 선택적으로 제거가 가능하며 전기적 절연성을 갖는 물질을 사용하여, 실리콘 산화막(SiO_2)을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

도면

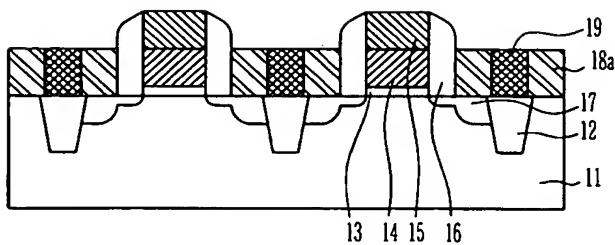
도면1



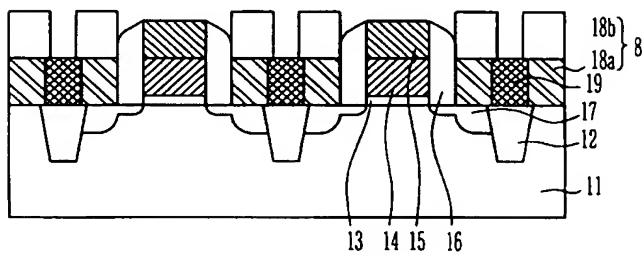
도면2a



도면2b



도면2c



도면2d

